

(3) 電気エネルギー制御部門

教員：

岩室憲幸（数理物質系・物理工学域・教授）

矢野裕司（数理物質系・物理工学域・准教授）

磯部高範（数理物質系・物理工学域・准教授）

大学院生：

鈴木一広（数理物質科学研究群・応用理工学学位プログラム・M2）

鹿志村海音（数理物質科学研究群・応用理工学学位プログラム・M2）

新郷諒介（数理物質科学研究群・応用理工学学位プログラム・M2）

吉田開（数理物質科学研究群・応用理工学学位プログラム・M2）

鈴木陽太（数理物質科学研究群・応用理工学学位プログラム・M2）

岩室憲幸、矢野裕司、磯部高範

<研究成果>

当研究室では、次世代パワー半導体デバイスを使いこなすため、回路・制御技術による電力変換器の変換密度向上を軸に、パワーエレクトロニクスシステムの性能向上に関する研究を行った。

半導体デバイスの研究においては、SiC MOSFET のアバランシェ耐量向上のための重要設計パラメータを見出すことを目的とし、トレンチ SiC MOSFET を実測評価し、さらに並行して TCAD シミュレーション解析を実施した。その結果、ゲート電極配線（ゲートランナーと呼ぶ）下の領域にトレンチゲート電極を設けることで、アバランシェ耐量が劣化することを明らかにした。また、モノリシック相補型インバータへの適用を想定して横型 p チャネル SJ MOSFET の寄生容量とスイッチング損失について、TCAD で解析した。意図的にチャージバランスからずれた設計とすることでスイッチング損失が低減できることを明らかにした。パワーエレクトロニクス回路の研究については GaN デバイスを用いた高周波駆動系統連系インバータおよび SST（半導体化変圧器）に用いられる絶縁 DC-DC 変換回路の高効率化など

を行なった。

【 1 】SiC MOSFET のアバランシェ耐量向上に関する研究

(1) はじめに

SiC MOSFET は低オン抵抗特性と高速スイッチング特性を同時に実現することが可能であることから、次世代パワーデバイスとして期待されている。MOSFET の高速スイッチング時には、高 dI_D/dt と寄生インダクタンス L_{stray} によってサージ電圧が発生し、このサージ電圧が MOSFET の耐圧を超えるとアバランシェ動作に突入する。このとき、MOSFET のアバランシェ耐量が大きくないと素子は破壊に至る。今回、このアバランシェ耐量向上のための重要設計パラメータを見出すことを目指し、トレンチならびにプレーナゲート SiC MOSFET を評価解析した。

(2) 実験

評価には、市販もしくは共同研究先で開発中の 1.2-kV トレンチならびにプレーナゲート SiC MOSFET、計 8 種を用いた。アバランシェ耐量は、図 1 に示す一般的な UIS(Unclamped Inductive Switching)試験回路ならびに装置で評価した。アバランシェ期間中、SiC MOSFET で発生するエネルギー E_{ava} は次式で求められる。

$$E_{\text{ava}} = \int_0^{t_{\text{ava}}} V_{\text{DS}} \times I_D \, dt$$

このアバランシェ耐量試験において、MOSFET が破壊する直前のエネルギー E_{ava} を、素子が耐えうる最大のアバランシェ耐量「UIS耐量」と定義して、各素子を比較評価した。

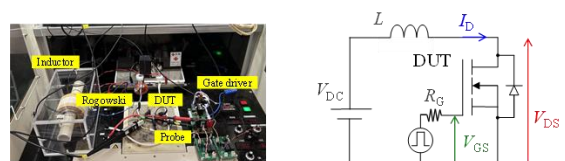


図 1. UIS 試験の測定回路および等価回路図

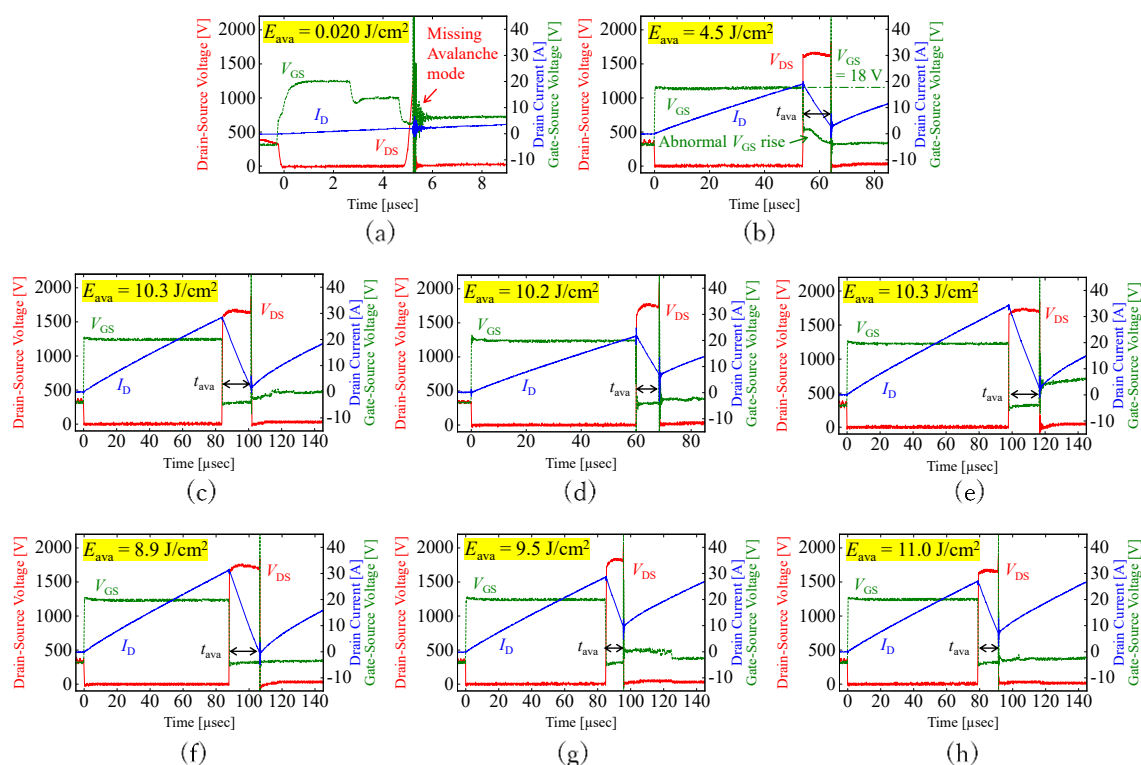


図 2. トレンチならびにプレーナ MOSFETのUIS破壊波形; (a) トレンチ MOSFET: CDT-MOS, (b) トレンチ MOSFET: ADT-MOS, (c)-(f) その他トレンチ MOSFET, (g), (h) プレーナ MOSFET

(3) 結果と考察

UIS試験条件は $V_{GS} = +20 / -4 \text{ V}$ 、 $V_{DC} = 340 \text{ V}$ 、 $R_G = 47 \Omega$ 、 $L = 1 \text{ mH}$ で、すべて室温下で行った。図2に各素子の破壊時のUIS試験波形を示す。ほとんどのデバイスでは 8 J/cm^2 を超えるUIS耐量を示した一方、トレンチMOSFETである、CDT-MOSのUIS耐量は 0.020 J/cm^2 と非常に低い。CDT-MOSではUIS試験時の高電界がトレンチゲート底部に印加され、ゲート・ドレイン間で絶縁破壊することが報告されており、今回の試験でもCDT-MOSはこのメカニズムで破壊したと考えられる。CDT-MOSを改良版で、深いp+層によりトレンチゲート底部の保護能力を高めたADT-MOSでは、 $E_{ava} = 4.5 \text{ J/cm}^2$ とCDT-MOSより改善はしているものの、他素子の E_{ava} の約半分程度である。ここで、ADT-MOSのUIS波形を見ると、 t_{on} 中の V_{GS} は本来 20 V 印加しているが、実際に印加されている電圧は約 18 V とわずかに低くなっている。加えて、 t_{ava} 中に V_{GS} の不自然な上昇が観測されている。図3にADT-MOSと他のトレンチMOSFETの破壊直前

の t_{on} におけるゲートリーク電流測定結果を示す。ADT-MOSのみ、 t_{on} 、 t_{ava} 期間中に数十mAレベルの大きなゲートリーク電流が流れていることが確かめられた。

ADT-MOSのUIS破壊後のチップ表面解析の結果、破壊焼損痕は全てゲートランナ上に確認されたため、この部分がゲートリーク流の発生源の可能性が高い。ここで、活性領域に隣接す

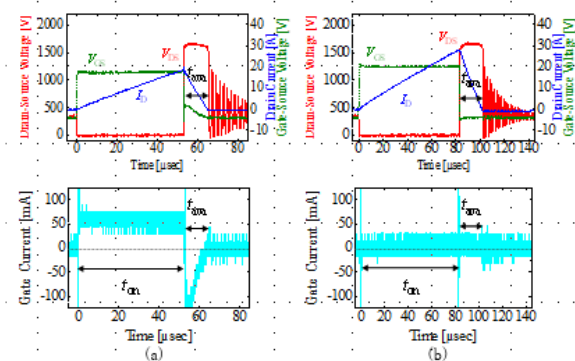


図 3. (a) ADT-MOS と (b) 他トレンチ MOSFET の UIS 耐量ならびにゲート電流波形比較

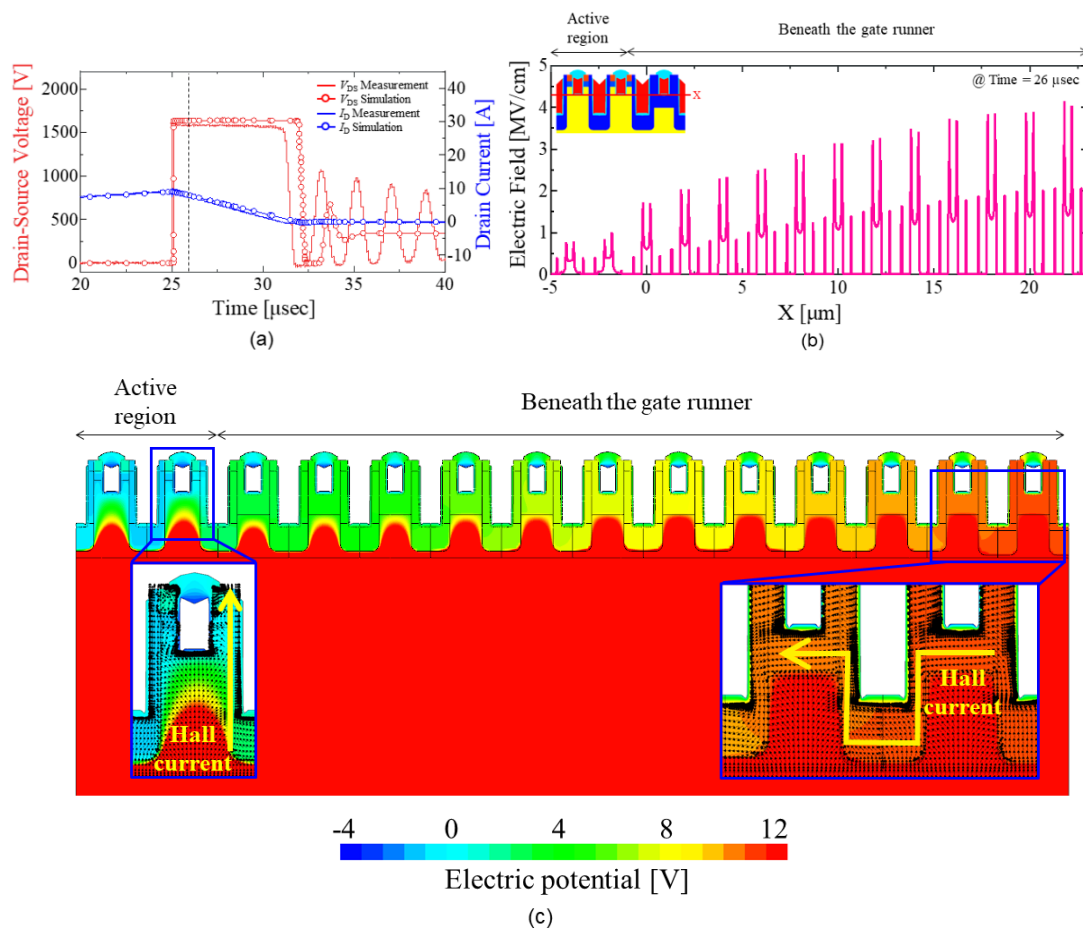


図 4.(a) UIS 波形の合わせこみ結果 (b) ゲート酸化膜底部電界計算結果
(c) 電位分布および正孔電流経路計算結果

るゲートランナ直下にもトレンチゲート構造が形成されている ADT-MOS が、そのトレンチゲート全体を覆うように深い p+層が形成されていることに注目した。この p+層は左右末端においてのみソース電極に接続されている。UIS 試験中にゲートランナ下の p+層を流れるアバランシェ電流の影響を調査するため、UIS 試験をマルチセルにて TCAD シミュレーションを行った。まず、図 4(a)に示すように TCAD シミュレーションと実測はいい一致を示した。図 4(b)に示す酸化膜底部電界の解析結果から、ソース電極から遠ざかる右側セルほど電界が強くなっており、最も遠いセルでは 4 MV/cm にまで達した。デバイス内電位分布を確認すると、右側セルほど高電位になっていた (図 4(c))。これはアバランシェで発生した正孔電流が、ソース電極のある右側セルに向かって p+層内を

流れたためである (図 4(b) 内の黒矢印)。つまり、アバランシェによって発生した正孔電流がソース電極まで流れる際に電位降下が発生し、右側セルで電位が上昇した結果、4 MV/cm という高電界に達してゲートリーク電流の増加につながった。一方、ゲートリーク電流が観測されなかった他のトレンチ MOSFET では、ゲートランナ下部にトレンチゲートが形成されておらず、p+層上部には 140 nm という厚いフィールド酸化膜が存在するのみであった。

(4) まとめ

8 種類のトレンチならびにプレーナ SiC MOSFET の UIS 耐量を評価・解析し、その結果から UIS 耐量向上のための重要設計パラメータについて考察した。その結果、まずゲート酸化膜保護が十分であれば UIS 耐量は大きな耐量を確保できることが判明した。また、特に

トレンチ MOSFET において、ゲートランナ下にトレンチゲート構造を配置することで、アバランシェ電流の導通による電位降下でゲート酸化膜に高電界が印加され、UIS 耐量を劣化することがあることが判明した。このことから、MOSFET セルの設計だけでなくそのレイアウトにも、十分注意を払う必要があることがわかった。

【 2 】TCAD による横型 p チャネル超接合 MOSFET のスイッチング損失に関する研究

(1) はじめに

従来のインバータは上下アームに n チャネル素子を使用するが、下アームを p チャネル素子とすることで相補型インバータとなる。相補型とすることでデッドタイムレス化による高周波・高効率動作が可能になる。さらに、SiC を用いることでモノリシック構造として同一基板上に n チャネルと p チャネル素子の形成が可能となり、配線インダクタンスの低減が期待できる。しかし、p チャネルの SiC MOSFET は低いキャリア移動度やドーパントの高い活性化エネルギーに由来する高いオン抵抗が課題である。そこで、ドリフト層の抵抗低減に有効な超接合 (Super Junction, SJ) 構造に着目した。SJ 構造は適切に設計すれば耐圧向上とオン抵抗低減が可能であるが、電荷不均一状態 (Charge Imbalance: CIB) により耐圧劣化を起こすことが知られている。また、CIB によりスイッチング特性が変化するため、スイッチング損失へ影響を及ぼすことが懸念される。そこで、本研究では TCAD を用いて CIB による MOSFET の帰還容量 (C_{rss}) と出力容量 (C_{oss}) への影響を解析し、容量特性を基に算出したスイッチング損失から CIB の影響を評価した。

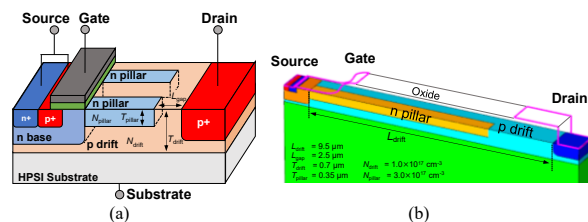


図 5. (a)横型 SJ-MOSFET の模式図と(b)TCAD で設計した構造

(2) デバイス構造

本研究では TCAD による 3 次元解析を行った。本研究で想定した横型 p チャネル SJ MOSFET の模式図と TCAD で設計した構造を図 5 に示す。ドリフト層の長さは $9.5\mu\text{m}$ 、ピラーのピッチ幅は $1.0\mu\text{m}$ とした。デバイス構造は半絶縁性 4H-SiC 基板上にイオン注入により形成することを想定しており、p ドリフト層は Al イオン注入で形成 (深さ $0.7\mu\text{m}$ で不純物濃度 $1.0 \times 10^{17}\text{cm}^{-3}$) し、n ピラー層は窒素イオン注入 (深さ $0.35\mu\text{m}$ で不純物濃度 $3.0 \times 10^{17}\text{cm}^{-3}$) で形成する。この構造で得られた耐圧は 1061V であった。比較対象として、SJ と等しいセル面積を有する横型 MOSFET(Non-SJ)も設計した。

(3) 結果と考察

SJ および Non-SJ における耐圧が最大となる p ドリフト層の不純物濃度を N_{opt} とすると、 $N_{opt,SJ}=1.0 \times 10^{17}\text{cm}^{-3}$ 、 $N_{opt,Non-SJ}=1.8 \times 10^{16}\text{cm}^{-3}$ であ

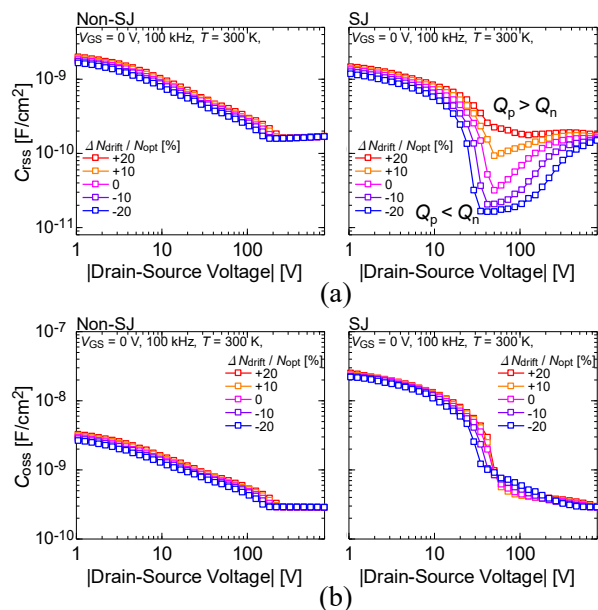


図 6. Non-SJ、SJ に対する(a) C_{rss} と(b) C_{oss} 特性の $\Delta N_{drift}/N_{opt}$ 依存性

った。各構造に対し N_{opt} を基準とし、p ドリフト層の不純物濃度 N_{drift} を変化 ($\Delta N_{drift}=N_{drift}-N_{opt}$) させて最適条件からの変化率を CIB の指標とした。

図 6 に、Non-SJ および SJ の(a) C_{rss} と(b) C_{oss} の特性を示す。SJ では、p ドリフト層の電荷量 Q_p と n ピラー層の電荷量 Q_n を比較すると、 Δ

$N_{\text{drift}}/N_{\text{opt}} > 0$ の時は $Q_p > Q_n$ 、 $\Delta N_{\text{drift}}/N_{\text{opt}} < 0$ の時は $Q_p < Q_n$ の関係になる。Non-SJ では C_{rss} 、 C_{oss} とともに $\Delta N_{\text{drift}}/N_{\text{opt}}$ に対する変動は小さい。一方で、SJ では C_{rss} は $\Delta N_{\text{drift}}/N_{\text{opt}} > 0$ の時には増加し、 $\Delta N_{\text{drift}}/N_{\text{opt}} < 0$ の時は減少する傾向が見られた。 C_{oss} の変動は小さいものの、 $\Delta N_{\text{drift}}/N_{\text{opt}} < 0$ になるほど低電圧側に特性がシフトする傾向が見られる。このような異なる傾向について、TCAD による素子内部の静電ポテンシャル分布より考察を行った。

図 7 に Non-SJ と SJ の V_{ds} を変化させた時の静電ポテンシャル分布を示す。Non-SJ では V_{DS} が印加されるとソース電極側の pn 接合から一方向に空乏層が広がるので寄生容量は単調減少した。この傾向は $\Delta N_{\text{drift}}/N_{\text{opt}}$ が変化しても変

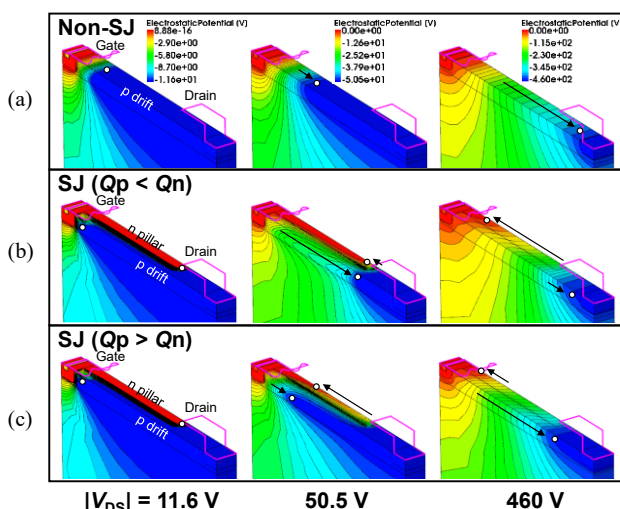


図 7. 角 VDS における静電ポテンシャルの分布
(a)Non-SJ (b)SJ($Q_p < Q_n$) (c)SJ($Q_p > Q_n$)

わらない。一方で、SJ ではピラー間の pn 接合でも空乏化が進むため不従物濃度が低い層ほど空乏化が進みやすくなり、 $\Delta N_{\text{drift}}/N_{\text{opt}}$ に依存してピラー層とドリフト層の空乏化する順番が変化する。 C_{rss} はゲートドレイン間の容量であり、ゲート電極とドリフト層の結合容量によって決まる。横型 SJ の場合、p ドリフト層が空乏化するとピラー層間の対向面積が減少するため、 C_{rss} は急激に低下する。一方で、n ピラー層が空乏化するとドレイン電極下に新たな結合容量が形成されるため対向面積が増え、 C_{rss} が増加する。このため、 $Q_p < Q_n$ の時は p ドリフト層が先に空乏化するため C_{rss} はいっ

たん減少した後、n ピラー層の空乏化に伴い C_{rss} は増加に転じることになる。これに対し、 $Q_p > Q_n$ の場合、n ピラー層が先に空乏化するため、 C_{rss} の急激な減少は生じない。以上より、SJ の C_{rss} 特性は $\Delta N_{\text{drift}}/N_{\text{opt}}$ によりピラー層間の空乏化する順番が変わるため変動が大きくなることが分かる。

次に、 C_{oss} 特性の変化について考察した。 C_{oss} は C_{GD} と C_{DS} の和である。 C_{DS} はドリフト層内の容量だけで決まるため、n ピラー層と p ドリフト層の空乏化順序に関係なく $\Delta N_{\text{drift}}/N_{\text{opt}}$ が変化すると C_{oss} 特性は低電圧側にシフトするはずである。しかし、今回の構造では C_{GD} の影響が大きいため、 $Q_p > Q_n$ となるほど C_{oss} 特性が高電圧側にシフトした。

寄生容量の変動がスイッチング損失に与える影響を評価した。ここでは、誘導性負荷を想定した。スイッチング損失として、電圧と電流の席で決まる VI 積損失と C_{oss} の充放電電流による損失を考慮した。VI 積損失の算出には、TCAD から得られた電流電圧特性と寄生容量特性を用いたスイッチング波形推定モデルを利用した。 C_{oss} に由来する損失は、TCAD で得られた $C_{\text{oss}}-V_{\text{DS}}$ 特性を電荷量 Q_{oss} に換算して算出した。ゲート抵抗 $R_G = 50 \Omega$ 、電流密度

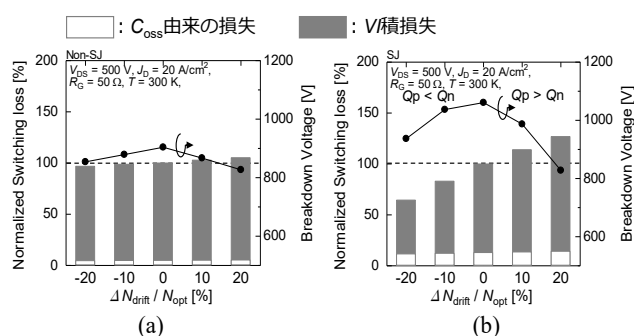


図 8. スwitching損失と耐圧の $\Delta N_{\text{drift}}/N_{\text{opt}}$ 依存性
(a)Non-SJ (b)SJ

$J_D = 20 \text{ A/cm}^2$ 、スイッチング電圧 $V_{\text{DS}} = 500 \text{ V}$ の条件で各損失を計算し、 $\Delta N_{\text{drift}}/N_{\text{opt}} = 0\%$ を基準としたスイッチング損失の結果を、耐圧の変動とともに図 8 に示す。Non-SJ では $\Delta N_{\text{drift}}/N_{\text{opt}}$ が $\pm 10\%$ 変化してもスイッチング損失の変化は $\pm 2\%$ にとどまるが、SJ では $\Delta N_{\text{drift}}/N_{\text{opt}}$ に対してスイッチング損失が変化しやすく、 $\pm 15\%$ も変

動することが分かった。また、SJ では $Q_p < Q_n$ の領域では耐圧が劣化するものの、スイッチング損失が低減できることが分かる。したがって、ある程度の耐圧劣化を許容した上で p ドリフト層が低い V_{DS} で空乏化する設計にすることで、スイッチング損失を低減して高周波動作に適したデバイス構造が可能になるといえる。

(4) まとめ

TCAD を用いて 4H-SiC 横型 SJ-MOSFET の CIB 特性を解析した。CIB により耐圧劣化だけでなく、寄生容量、特に C_{rss} の特性が大きく変動することが明らかになった。このため、横型 SJ 構造は不純物濃度のずれがスイッチング動作に大きな影響を与え、これにより設計段階で想定した効率から乖離してしまう可能性がある。一方で、チャージバランス状態から意図的にずらした $Q_p < Q_n$ となる条件で設計することで、導通損失は増大するもののスイッチング損失を低減できることがわかり、本構造はモノリシック相補型インバータで期待される高周波動作に適しているといえる。

【 3 】 SST に用いられる絶縁 DC-DC 変換回路の高効率化

本研究では、半導体変圧器 (SST) に用いられるデュアルアクティブブリッジ (DAB) コンバータにおいて、脈動電力変換時の可聴域騒音と軽負荷時の損失増大という課題に着目し、これらを同時に解決する新たな変調・制御手法を提案した。SST は高周波トランスを用いることで小型・高電力密度化が可能である一方、単相系統に起因する 2 倍周波数の脈動電力を扱う必要があり、これを低減するために絶縁 DC-DC 段で能動的に電力を変換する方式が検討されている。しかし、脈動電力を高周波トランスに通過させる場合、励磁状態に低周波成分が重畳し、磁歪に起因する可聴域騒音が発生する可能性がある。また、DAB コンバータでは軽負荷時にゼロ電圧スイッチング (ZVS) が成立しにくく、スイッチング損失が増大することが知られている。

従来の Single-phase-shift (SPS) 制御はトランス励磁条件が一定に保たれるため騒音抑制

の観点では有利であるが、軽負荷時に ZVS が成立しない。一方、Extended-phase-shift や間欠運転などの手法は軽負荷時の損失低減には有効であるが、励磁電流に低周波成分が生じるため騒音特性が悪化する。このように、励磁条件の安定性と ZVS 動作範囲の拡張はトレードオフ関係にある。本研究ではこの点に着目し、SPS 制御を基礎としつつ、トランス励磁条件をほぼ一定に維持したまま全動作領域で ZVS を実現可能な変調方式を提案した。提案手法では、1 スwitchング周期内において電流のピーク値を維持しつつ、寄生容量の充放電過程を利用した実効的な休止区間を形成することで伝送電力を制御する。この結果、励磁電流の振幅および周波数を大きく変化させることなく、軽負荷領域においても ZVS 条件を満たす動作が可能となる。

提案手法の有効性は、3.3 kV 級 SiC-MOSFET を用いた 3.3 kW 級 DAB コンバータにより実験的に検証した。その結果、従来の SPS 制御では約 1.8 kW 以下で ZVS が成立しないのに対し、提案手法では全動作範囲で ZVS が実現可能であることを確認した。また、軽負荷領域における電力損失を測定した結果、提案手法は SPS 制御と比較して損失を低減できることが示された。さらに、脈動電力条件下における音響特性を評価したところ、間欠運転では低周波成分を含む騒音が顕著となるのに対し、提案手法は SPS 制御と同様に励磁電流の周波数を一定に維持するため、騒音成分が主にスイッチング周波数付近に集中し、可聴域騒音が抑制されることが確認された。

以上より、本研究で提案した制御方式は、脈動電力変換を行う SST 用 DAB コンバータにおいて、トランス励磁条件を維持しながら全動作領域で ZVS を達成し、軽負荷時の損失低減と可聴域騒音抑制を同時に実現できることを示した。これにより、従来は両立が困難であった高効率化と低騒音化を同時に達成可能であることが明らかとなった。

<論文>

1. 井手 智也, 永井 一真, 荒木 一司, 平瀬 祐子, 磯部 高範, 「電力系統および連系分散電源のインピーダンス測定のためのフィルタレスインバータによるコンパクトな振動発生装置の開発」, 電気学会論文誌D (産業応用部門誌), 145 巻, 5 号, p. 334-342, 2025 年 5 月
2. C. Huang, T. Mannen and T. Isobe, “Current Ripple Reduction and ZVS Realization With Optimized DCM Modulation Based on Off-Time Discrete Control for Grid-Tied Inverters,” in *IEEE Transactions on Power Electronics*, vol. 40, no. 10, pp. 15835-15851, Oct. 2025.
3. Sora Kawai, Nobutaka Oi, Takanori Isobe, Kosuke Ota, Koji Amazutsumi, Tatsuya Fujishima, Hiroshi Kawarada, “Fast power switching with cascode diamond MOSFET–SiC MOSFET/GaN HEMT complementary half-bridge inverter”, *APL Electronic Devices*, 1 (4): 046103.
4. H. Tanaka, T. Mannen, T. Isobe, E. Kita and H. Yanagihara, “A Magnetometer for Dynamic Full M–H Loop Measurements in the Megahertz Range,” in *IEEE Transactions on Instrumentation and Measurement*, vol. 75, pp. 1-6, 2026, Art no. 6001606.

<著書>

1. 矢野裕司 「SiC の製造・加工技術 ～結晶成長・加工プロセス技術と各種課題への対応～」 情報機構(2025). (分担：第 5 章 第 3 節 第 1 項 界面特性・欠陥の測定評価法 pp.374-381) 2025.12.9 発行

<総説・解説>

1. 矢野裕司 「半導体物理 後編 –pn 接合から MOSFET まで–」 (基礎講座) 応用物理, Vol. 94, No. 6, pp.326-330 (2025).
2. 矢野裕司 「半導体物理 前編 –結晶構造からキャリア伝導まで–」 (基礎講座) 応用物理, Vol. 94, No. 5, pp.270-274 (2025).
3. 岩室 憲幸 「家電製品も車もこれが無いと動かないーパワー半導体ー」 (基礎講座) 応用物理, Vol.

95, No. 1, pp.40-45 (2026).

<学会発表>

国際会議

1. H. Yano (Plenary) “Threshold voltage instability in SiC MOSFETs under gate AC operation” The 6th Asia-Pacific Conference on Silicon Carbide and Related Materials (APCSCRM2025), Zhengzhou (China), 2025/11/26 (11/25-27).
2. H. Yano (Plenary) “Reliability Issues in SiC MOSFETs: Threshold Voltage Instability under Gate AC Operation” The 9th International Symposium on Wide Bandgap Semiconductor 2025 (WBG2025), Busan (Korea), PS5, pp.89-106, 2025/11/20 (11/20).
3. R. Shingo, Y. Enjoji, N. Iwamuro, H. Yano “Mechanism of Threshold Voltage Drift in SiC MOSFETs under Bipolar AC Gate Stress via Photon-Assisted Electron Injection” The 22nd International Conference on Silicon Carbide and Related Materials 2025 (ICSCRM 2025), Busan (Korea), 23B-3, 2025/9/19 (9/14-19).
4. K. Suzuki, H. Yano and N. Iwamuro “Investigation of Optimum Gate Structures for 1.2-kV SiC MOSFETs by Analyzing Avalanche and Short-Circuit Withstanding Capabilities” The 37th International Symposium on Power Semiconductor Devices and ICs (ISPSD2025), Kumamoto (Japan), SiC2-05, pp.393-396, 2025/6/4 (6/1-5).
5. Y. Suzuki, C. Huang and T. Isobe, “Realization of All-Device ZVS at Light Load Operations in DAB Converters Using SPS-Based Partial Power Canceling Modulation,” 2025 International Future Energy Electronics Conference (IFEEC), Bali, Indonesia, 2025, pp. 488-493

国内会議

1. 染谷 満, 平井 悠久, 熊谷 直樹, 矢野 裕司, 磯部 高範, 細井 卓治, 渡部 平司 「量産プロセス適用可能なホットウォール酸化炉を用いた SiC-MOS 界面への CO₂ POA 効果の検証」 第 73 回応用物理学会春季学術講演会, 東京科学大学 大岡山キャンパス, 16p-W8E_101-9, p.13-171, 2026/3/16. (3/15-18).

2. 吉田 開, 岩室憲幸, 矢野裕司「4H-SiC 横型 p-ch SJ-MOSFET のスイッチング損失に及ぼすチャージインバランスの影響解析」令和 8 年電気学会全国大会, 東北学院大学, 4-028, pp.50-51, 2026/3/12 (3/12-14).
3. 内山 颯, 鹿志村快音, 鈴木一広, 矢野裕司, 岩室憲幸「1.2 kV SiC DioMOS チャネル移動度の温度特性解析」令和 8 年電気学会全国大会, 東北学院大学, 4-029, pp.52-53, 2026/3/12 (3/12-14).
4. 鹿志村快音, 矢野裕司, 岩室憲幸「1.2 kV SiC-DioMOS の高温条件下でのオン抵抗-負荷短絡耐量トレードオフ特性」令和 8 年電気学会全国大会, 東北学院大学, 4-030, pp.54-55, 2026/3/12 (3/12-14).
5. 吉田 開, 岩室 憲幸, 矢野 裕司「4H-SiC 横型 p-ch SJ-MOSFET の寄生容量とスイッチング損失の関係」先進パワー半導体分科会 第 12 回講演会, 富山国際会議場, IA-23, pp.109-110, 2025/11/19. (11/19-20)
6. 鈴木 一広, 矢野 裕司, 岩室 憲幸「オン抵抗、アバランシェ耐量、ならびに負荷短絡耐量を同時改善する 1.2-kV SiC MOSFET の最適ゲート構造の検討」先進パワー半導体分科会 第 12 回講演会, 富山国際会議場, IA-24, pp.111-112, 2025/11/19. (11/19-20)
7. 新郷 諒介, 岩室 憲幸, 矢野 裕司「SiC MOSFETにおけるゲートACストレス下の発光観測と AC BTI メカニズムの検討」先進パワー半導体分科会 第 12 回講演会, 富山国際会議場, IB-19, pp.153-154, 2025/11/19. (11/19-20)
8. 新郷 諒介, 岩室 憲幸, 矢野 裕司「ゲート AC 印加時における SiC MOSFET の発光によるしきい値電圧変動」第 85 回応用物理学会秋季学術講演会, 名城大学 天白キャンパス(ハイブリッド開催), 9p-N322-12, p.13-216, 2025/9/9. (9/7-10).
9. 鈴木 一広, 矢野 裕司, 岩室 憲幸「SiC MOSFET の順方向サージ電流耐量向上に関する検討」第 85 回応用物理学会秋季学術講演会, 名城大学 天白キャンパス, 9p-N322-13, p.13-217, 2025/9/9. (9/7-10).
10. 鈴木陽太, Cheng Huang, 磯部高範, 「寄生容量の小さい低圧側デバイスのスイッチングにより実現する SST 向け DAB コンバータの軽負荷領域での全デバイスゼロ電圧スイッチング実現法」, 2025 年電気学会産業応用部門大会, 徳島大学 常三島キャンパス, 2025 年 8 月 19 日～21 日
11. 黄成, 鈴木陽太, 磯部高範, 「脈動電力変換する SST 用 DAB コンバータの高周波トランスから発生する可聴騒音を考慮した軽負荷損失低減手法」, 電力技術/電力系統技術/半導体電力変換合同研究会, 熊本県(天草市), 2026 年 3 月 4 日～5 日

電気エネルギー部門

教員：

三俣千春（数理物質系・応用理工・教授）

三俣千春

＜研究成果＞

当研究室では、磁性材料の特性向上を通してモーターなどパワーマグネティクス関連機器の消費電力軽減をターゲットとしてマテリアルズ・インフォマティクス手法開発の研究を行っている。本年度は、ナノ、薄膜材料の特性評価を効率的に進めるための機械学習モデルの研究を実施した。

【 1 】反応性スパッタリングにおけるプロセス制御を目的としたプラズマ発光スペクトルの機械学習

反応性スパッタリングはスピントロニクスデバイスの製造など様々な用途で利用されているが、スパッタ雰囲気調整による薄膜特性は複雑な変化を示す。そこで製膜プロセス中のプラズマ状態をスペクトル解析することで製膜のリアルタイム制御を実現するための基礎データを機械学習によって解析した。

多変量解析の手法である主成分分析（Principal Component Analysis:PCA）を用いることで多数のチャンネルで計測された発光スペクトルを同時に解析し、抽出した特徴量の関数として製膜速度を線形関数として表現することに成功した。この結果は、プラズマをモニターするだけでプロセス中の製膜速度を決定し、所望の膜厚制御を可能とすることを意味している。これと同時に、PCA によって得られたデータの逆解析によって、薄膜特性の決定において主要因となる発光波長の数理モデルを同定し、プロセス中の発光プラズマのスペクトルを取得するだけで、反応性ガスによる薄膜の組成変化が予測可能であることを示した。[1]

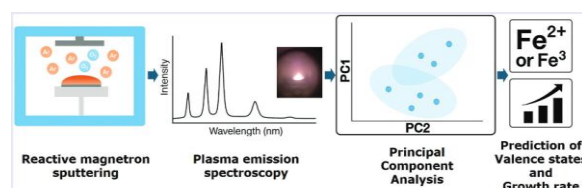


図1 反応ガス（O₂）を用いた酸化鉄薄膜のスパッタリング中における発光スペクトルを利用した機械学習の実施モデル

【 2 】ナノサイズ磁石の実現に向けた走査型スピン偏極トンネル顕微鏡データの機械学習

量子コンピューティングやニューロモルフィックコンピューティングなど次世代の計算機開発において新たな手法が注目されている。我々は、これらに利用されることが期待されるナノサイズ磁石の基礎研究において走査型スピン偏極トンネル顕微鏡の画像データを機械学習によって解析する方法を検討した。

走査型トンネル顕微鏡は原子サイズの分解能を有する顕微鏡であり、特に走査型トンネル分光法は、原子像のみならず各原子の電子状態を計測可能な技術である。原子磁石の材料となりうる MnTe 材料では、磁気特性発現の基となるスピン状態によってエネルギーバンドの形状が変化することを用いて、材料の化学結合状態を分光スペクトルから機械学習によってクラスタリングし、画像データの解釈を容易にする方法を開発した。[2]

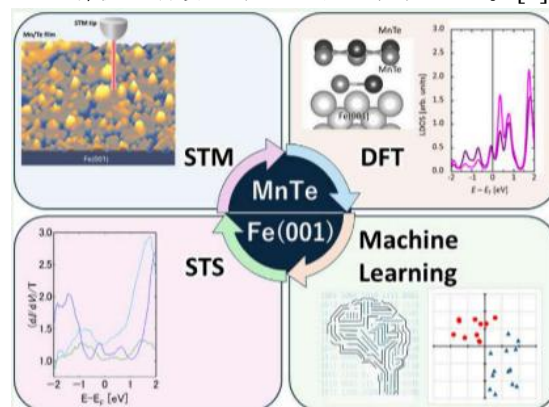


図2 スピン偏極トンネル顕微鏡データの機械学習の実施モデル

【 3 】 磁性材料の磁区構造を数値データ化による特徴量からの磁化反転エネルギーモデルの開発

モーターや変換器に利用される軟磁性材料は磁壁移動が軟磁気特性に深くかかわっている。磁壁移動を決定する要因は、磁化の相互作用によるエネルギー変化や材料の結晶学的要因である磁気異方性や結晶組織の状態である。我々は近年、磁区構造データを数値化し、その機械学習によって新規のエネルギー状態解析が可能となる数理モデルの開発を行ってきた。本年度はこれを利用した軟磁性材料の解析を実施した。

磁区構造のデータから機械学習によって抽出した特徴量を新しい状態変数として特徴空間における自由エネルギーを記述した。物理空間において磁区構造を決定する自由エネルギーは、単純化すると磁気モーメントの向き、それぞれ磁気モーメントの相対的な角度と位置関係、および外場の影響下における許される状態密度によって決定される。ここでは物理空間で表現された自由エネルギーと特徴空間における自由エネルギーの間にある関数変換によって、現実的な磁区構造を左右する要因を抽出された特徴量によって解釈可能であることを示した。この数理モデルの利用によってモーター固定子に用いられるケイ素鋼板の磁壁移動を阻害する要因を可視化することに成功した。[3-5]

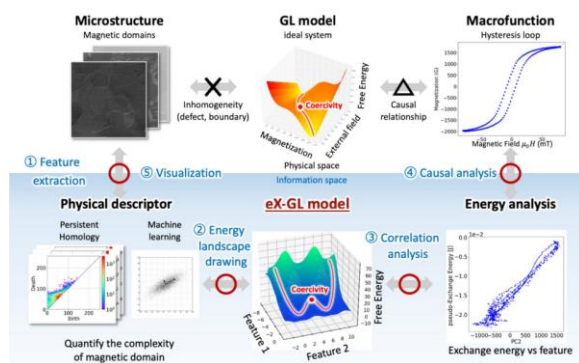


図3 機械学習による特徴空間において表現された自由エネルギー解析の概念図

【 4 】 デンドライト結晶成長の機械学習による成長モードの解析

雪の結晶成長などなどに代表されるデンドライト結晶成長は過冷却状態による非平衡状態によってもたらされ、樹状成長を示す特殊な形状を示す。我々は、この形状の特徴を機械学習によって抽出するとともに、抽出した特徴量の次元解析を実行した。その結果、系のギブズ自由エネルギーを特徴量で微分した計算結果は結晶に作用する力と等価であることが明らかになり、結晶に作用する力の変化が成長モードの分岐に影響していることが分かった。[6]

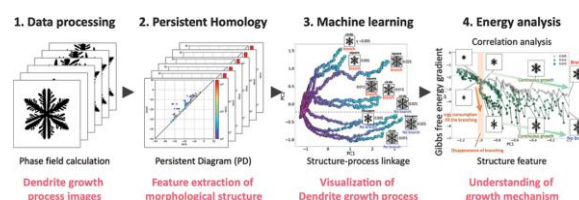


図4 デンドライト結晶成長に対する機械学習モデルの構築

【 5 】 カーボンニュートラル・プロジェクトの運営

分野横断型の研究体制を構築し、大学内におけるカーボンニュートラルを実施するための組織構築を目標としたプロジェクトが DTF 機構の下に設置されている。本年度は組織運営を担う研究コアに参加し、成果の取りまとめおよび今後の研究推進のための意見交換会を企画・運営した。

<論文>

1. Rintaro Minami, Eiji Kita, Chiharu Mitsumata & Hideto Yanagihara, "Estimation of valence state and growth rate using principal component analysis of plasma emission in reactive sputtering deposition" *Science and Technology of Advanced Materials: Methods.*, 5, 2544523 (2025).
2. Haruto Seki, Kenji Nawa, Chiharu Mitsumata, Toyo Kazu Yamada, "Color-Tunable Resonant Photoluminescence and Cavity-Mediated Multistep

Energy Transfer Cascade" *ACS Applied Nano Materials*, **8**, 15662–15672 (2025).

3. Michiki Taniwaki, Ryunosuke Nagaoka, Ken Masuzawa, Shunsuke Sato, Alexandre Foggiatto, Chiharu Mitsumata, Takahiro Yamazaki, Ippei Obayashi, Yasuaki Hiraoka, Yasuhiko Igarashi, Yuta Mizutori, H. Sepehri-Amin, Tadakatsu Ohkubo, Hisashi Mogi, Masato Kotsugi, "Automated identification of the origin of energy loss in nonoriented electrical steel by feature extended Ginzburg–Landau free energy framework", *Scientific Reports*, **15**, 23758 (2025).
4. Yuichiro Shima, Takahiro Yamazaki, Alexandre Foggiatto, Chiharu Mitsumata, Masato Kotsugi, "Anomalous eddy current loss in soft magnetic materials via Maxwell equations-coupled multiscale micromagnetic simulations", *Journal of Applied Physics*, **137**, 123906 (2025).
5. K. Masuzawa, Alexandre Foggiatto, S. Kunii, R. Nagaoka, M. Taniwaki, T. Yamazaki, C. Mitsumata, I. Obayashi, Y. Hiraoka, M. Kotsugi, "Explainable analysis of the complex maze magnetic domain structure through extension of the Landau free energy model by adding an entropy feature", *Scientific Reports*, **not defined yet** (2026).
6. Misato Tone, Shunsuke Sato, Sotaro Kunii, Ippei Obayashi, Yasuaki Hiraoka, Yui Ogawa, Hirokazu Fukidome, Alexandre Lira Foggiatto, Chiharu Mitsumata, Ryunosuke Nagaoka, Arpita Varadwaj, Iwao Matsuda, Masato Kotsugi, "Linking structure and process in dendritic growth using persistent homology with energy analysis", *Science and Technology of Advanced Materials: Methods.*, **5**, 2475735 (2025).

< 学会発表 >

国際会議

1. C. Mitsumata, A. Lira Foggiatto, M. Kotsugi, "Representation of magnetic properties by a data-driven extended free energy model", *International Conference of Asian Union of Magnetic Societies 2025*, Ginowan, Okinawa, 2025.04.21-24 (Oral-Invited)

国内会議

1. 三俣千春「ランダウ模型を用いた初透磁率の表現」
第 49 回日本磁気学会学術講演会、松山、
2015.9.16-19 (oral)

電気エネルギー制御部門

教員：

奥村宏典（数理物質系・物理工学域・准教授）

大学院生：

浦崎圭吾（数理物質科学研究群・応用理工学学位プログラム・M1）

奥村宏典

＜研究成果＞

宇宙誕生の謎を解く素粒子実験では、新粒子の発見を目指し、加速器の高エネルギー化と高輝度化が進んでいる。加速器実験の進展には、粒子の飛跡検出器の更なる高性能化が不可欠であり、高位置分解能、高放射線耐性、高時間分解能が求められる。様々な検出器があるが、中でも半導体検出器は位置分解能に優れている。放射線耐性に優れた半導体材料として、ワイドギャップ半導体が挙げられる。

ワイドギャップ半導体の中でも窒化ガリウム(GaN)は、電子正孔対の生成数が多いため、大きい信号が得られやすい。また、GaN は、キャリア移動度が多いだけでなく、高い絶縁破壊電界強度を持つため、高電場によるドリフト速度の増大が可能である。高いキャリア移動度とドリフト速度は、検出器の信号の立ち上がり時間の短縮化に繋がり、時間分解能が向上する。GaN 半導体は次世代の飛跡検出器に最も適した材料の一つと言える。

高時間分解能の飛跡検出器として LGAD (low gain avalanche detector)がある。LGAD は、アバランシェ増幅による内部増幅機能を持つ半導体検出器である。Si LGAD は、荷電粒子の応答に対して 30 ps の高い時間分解能に成功しており、光速粒子 1 cm を識別できる。本研究の目的は、GaN LGAD により、放射線耐性の向上、単一粒子の位置検出、10 ps 以下の世界最速応答を全て実現することである。

【 1 】 GaN LGAD 検出器の作製

我々は、QSTにある重粒子線がん治療装置 HIMAC (Heavy Ion Medical Accelerator in Chiba) にて、自作のGaN検出器にXe¹³²粒子線（170 MeV/n, 粒子fluence: $3 \times 10^6 \text{ cm}^{-2}$, パルス: 3.3 sec, ビーム径: 3-5 mm)を照射し、信号強度と放射線耐性の調査実験を行ってきた。図1に示すように、Xe粒子は大気中を1 m通過してからGaN検出器に当たる。検出した電荷量は、64チャンネルのASD (amplifier shaper discriminator) ASICを用いて、ADCピーク値から評価した。

GaN試料は住友化学社より購入した。試料を5 mm×5 mm角に切り出した後、図2に示すように、100 μm ×100 μm 角の電極の内、4×4の16個で構成される2次元(Pixel)検出器を用いた。素子作製は、つくばエリア(筑波大、産総研、NIMS)の共用設備を用いた。



図1: HIMACでのGaN LGADへのXe重粒子照射実験の様子

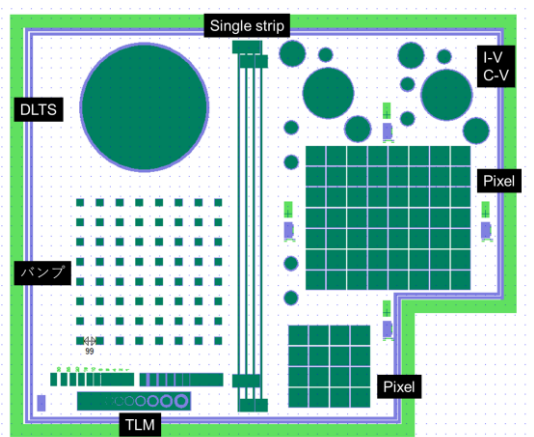


図2: Pixel検出器のパターン

今回作製したGaN LGAD構造を図3に示す。GaN LGAD素子に侵入した荷電粒子は、主にn-GaN層中で電子正孔対を生成する。生成した電子と正孔は、印加電圧によりドリフトし、それぞれカソード電極とアノード電極に到達して信号として検出される。GaNのp型基板は市販されていないため、n型基板を用いる。この場合、表面側がp型層となり、正孔を収集することになる。正孔は、電子と比べてキャリア寿命が短く、ドリフト距離が小さい。LGAD検出器では、PN界面に高電場が生じるため、正孔がn-GaN層で加速してアバランシェ増幅する。出力電流が増大するだけでなく、高電場の恩恵で正孔が高速移動するため、正孔でも信号の応答速度を十分に大きくできる。

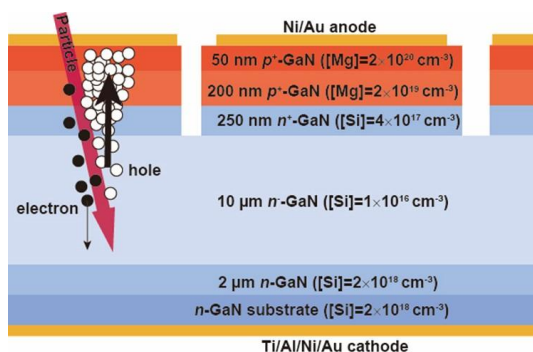


図3: GaN LGAD構造

【 2 】 実験結果

GaN 層中の不純物を 2 次イオン質量分析法

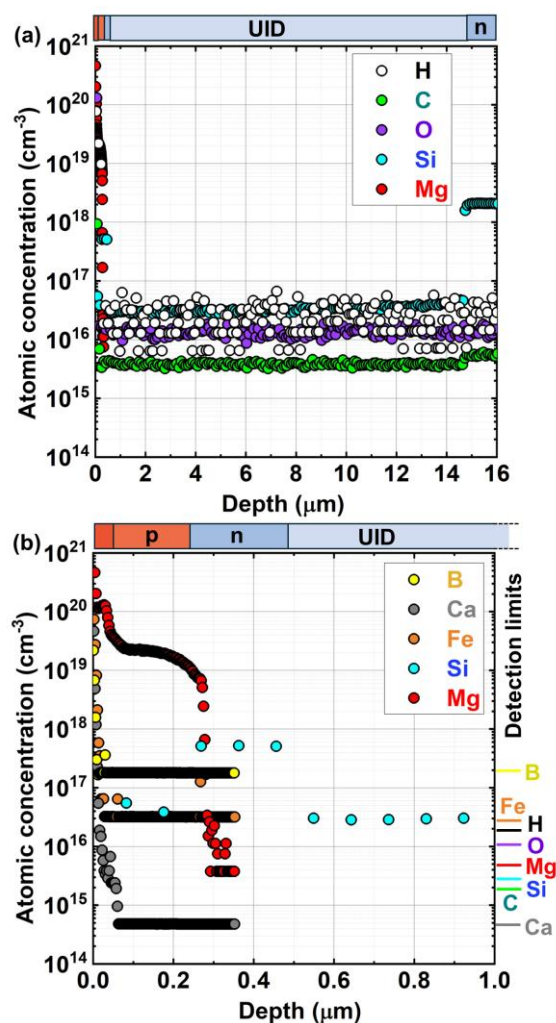


図4: GaN層中の不純物濃度の深さ方向分布

により調べた(図4)。H, C, O, B, Ca, FeはSIMS検出限界以下であった。有機金属気相成長(MOCVD)法を用いた場合、石英管と水素との反応により、意図せずSiがGaN層中に混入する。ドリフト層中のSiドナー濃度は $3 \times 10^{16} \text{ cm}^{-3}$ であった。空乏層を更に広げるにはSi不純物濃度の低減が必要である。Mgアクセプタはp層中に想定通りの濃度で取り込まれていた。しかし、MOCVD法でのMg添加時にはメモリ効果を考慮する必要があり、急峻に取り込ませるのが困難である。19乗台のMg濃度がn-GaN増幅層にも侵入していることが分かった。

GaN LGAD 構造の電気的特性を調べた。順方向特性の温度依存性を図5(a)に示す。Turn on電圧は3.1 Vであり、GaNのバンドギャップに近い値を示した。3.7 Vにおいて 100 A cm^{-2} に

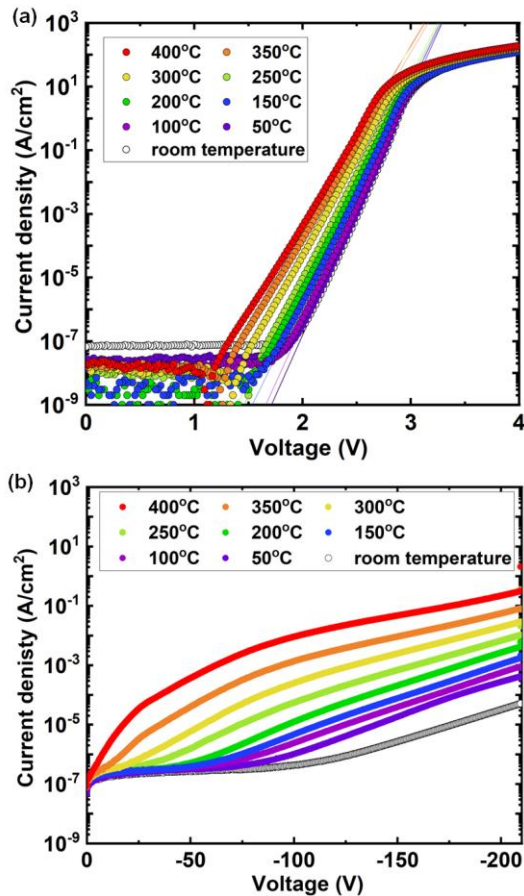


図5: GaN LGAD構造の電気的特性

達し、良好な整流特性が確認された。リーク電流は小さく、整流比は 10^6 以上と非常に高い値を示した。測定温度が高くなるにつれて、理想

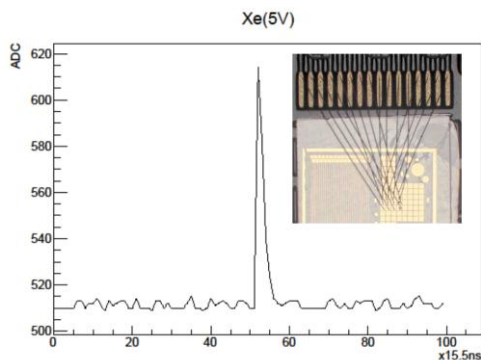


図6: GaN LGAD構造へのXe重粒子照射信号

因子が 2.0 から 1.4 に低下した。これはキャリア密度と拡散電流の増加によるものと考えられる。逆方向特性の温度依存性を図 5(b)に示す。-150 V における暗電流は 10 pA 未満と非常に低い値を示した。GaN 結晶が高品質であるこ

とを示唆する。破壊電圧は 473 V であった。

Xe 粒子を GaN LGAD 構造に照射したところ、逆バイアス 5 V で、図 6 に示すように、信号が得られた。16 ch 全てで信号が得られた。これは、GaN pixel 検出器動作の世界で初めての成果である。しかし、今回、世界で初めて GaN LGAD 作製を試みたが、残念ながら信号の増幅は得られなかった。今後、TCAD シミュレーションを用いて、素子作製前に計算を行い、正確な素子設計を行う。

<論文>

1. H. Okumura, S. Iida, S. Hirose, K. Itabashi, M. Togawa, M. Miyahara, J. Nishinaga, M. Imura, K. Urasaki, and T. Isobe, " GaN radiation detectors with low-gain avalanche diode structure" *Jpn. J. of Appl. Phys.*, **65**, 016501 (2026).
2. K. Itabashi, M. Togawa, J. Nishinaga, M. Miyahara, H. Okumura, M. Imura, and T. Isobe, " Development of high radiation tolerance detector with CIGS" *J. of Instrumentation*, **20**, C06023 (2025).
3. K. Itabashi, S. Fujii, M. Imura, T. Isobe, M. Miyahara, J. Nishinaga, H. Okumura, and M. Togawa, "Study of radiation tolerance of Cu (In, Ga) Se₂ detector" *Nucl. Instrum. Methods Phys. Res. A*, **1067**, 169637 (2024).
4. M. Togawa, S. Fujii, M. Imura, K. Itabashi, T. Isobe, M. Miyahara, J. Nishinaga, H. Okumura, " The CIGS semiconductor detector for particle physics" *J. of Instrumentation*, **19**, C05042 (2024).

<学会発表>

国際会議

1. H. Okumura, "GaN particle detectors with LGAD structure" CERN DRD3, 招待講演, 2026 年 2 月 5 日
2. 奥村宏典, "Radiation tolerance and particle detectors of Gallium Nitride", QGP 国際研究センターキックオフシンポジウム, 招待講演, 2025 年 11 月 25 日
3. H. Okumura, S. Iida, S. Hirose, K. Itabashi, M. Togawa, M. Miyahara, J. Nishinaga, M. Imura, K. Urasaki, and

T. Isobe, “GaN radiation detectors with low-gain avalanche diode structure”, ICNS, (2025) (poster).

国内会議

1. 奥村宏典, “GaN 材料の放射線耐性と粒子検出器”
招待講演, 2025 年 12 月 18 日
2. 飯田哲, 廣瀬茂輝, 奥村宏典, 板橋浩介, 外川学,
宮原正也, 井村将隆, 浦崎圭吾, “窒化ガリウム製
LGAD 検出器の荷電粒子に対する応答評価”, 第
80 回日本物理学会大会.
3. 飯田哲, 廣瀬茂輝, 奥村宏典, 板橋浩介, 外川学,
宮原正也, 井村将隆, 浦崎圭吾, “窒化ガリウム半
導体を用いたピクセル検出器の特性評価”, 2025 年
日本物理学会大会.

電気エネルギー制御部門

教員：

蓮沼隆（数理物質系・物理学域・准教授）

大学院生：

佐藤優（数理物質科学研究群・M2）

蓮沼隆

<研究成果>

微細化にともなって顕著になる短チャネル効果抑制を目指し、極限までチャネル層を薄くすることが可能な 2 次元半導体チャネル FET が注目を集めている。すでに様々な機関から 2 次元半導体チャネル FET の作製・動作に成功した例が報告されているが、集積化の実現にはウェハースケールでの均一な二次元成膜技術の確立、ソース・ドレインコンタクト抵抗の大幅低減、高精度ドーピング技術の確立、ダメージレスなゲート絶縁膜形成技術の確立など多くの課題が残されている。これら課題の解決なしには現在直面しているデバイス特性ばらつきを抑制することは不可能である。また、2 次元であるがゆえにチャネル材料の基礎物性評価がきわめて難しいことも、集積化を目指すうえでの大きなハードルとなっている。我々はこれら課題の中から特に、絶縁膜/2 次元チャネル界面欠陥密度測定手法、2 次元反半導体結晶成長の位置選択性の実現に着目した。後者は FET が作製される領域での選択成長を目指すものであり、上述のウェハースケールでの均一成膜技術の確立と同じインパクトが得られる。

【 1 】 界面欠陥評価のための技術の確立

バルク Si を用いた MOSFET では、MOS キャパシタの電圧-容量特性から界面欠陥密度を求めるのが一般的である。MOS キャパシタの容量はゲート絶縁膜容量と空乏層容量の直列合成容量で表される。MOS キャパシタ微小交流電圧を印加したときの半導体側電荷の増減は空乏層幅の増減および界面欠陥での電荷捕獲・放出によって起こるが、後者は低周波でのみ現れる現象である。したがって、高周波と低

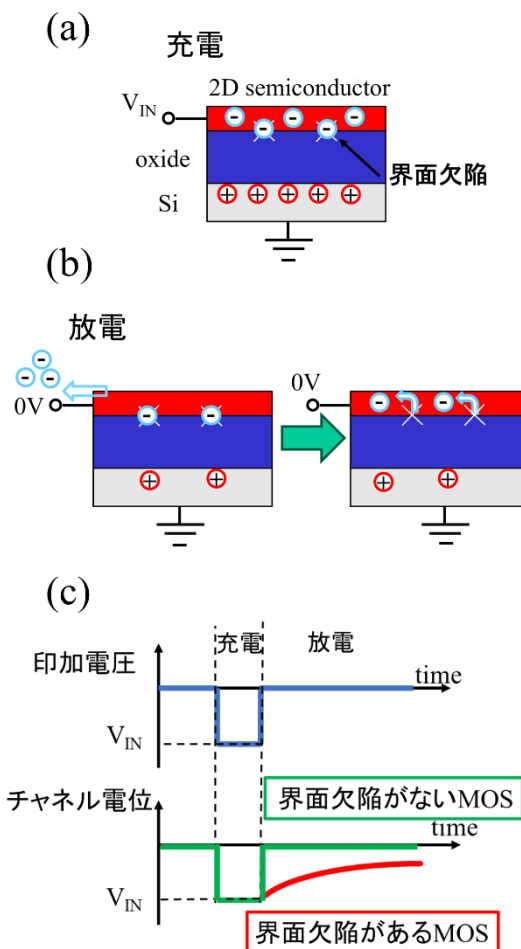


図 1 提案した界面欠陥評価手法. (a) 充電時、(b)放電時の電子の流れ、および(c)チャネル電位の時間変化.

周波とで電荷増減が起こる、界面からの距離が異なるため得られるキャパシタ容量に差が生じる。これが、容量から界面欠陥密度を定量することを可能とする理由である。しかし、単層 2 次元チャネルにおいては空乏層が厚さ方向には広がらないため容量に周波数依存性がなく、界面欠陥密度を抽出することが不可能である。

我々は図 1 に示すように、2D チャネル/絶縁膜/Si 基板で構成されるキャパシタへの充放電特性から界面欠陥密度を抽出する方法を提案した。特に放電時においては、伝導帯電子は速やかに排除されるのに対し、界面欠陥に捕獲された電子の放出には欠陥準位の深さに対応した時間を要する。このときのチャネル電位を測定することによってチャネル内に残存する電子数の時間変化を得ることができる。ただし、

測定される放電時定数には界面欠陥からの電子放出過程のみならず、チャネル抵抗、絶縁膜容量、電極下のコンタクト抵抗による RC 遅延も反映されるため、高精度な界面欠陥密度測定を実現するためには RC 遅延が十分に小さくする必要がある。あるいはこれら R、C の値を正確に把握する必要がある。一般的に、チャネル抵抗はソース・ドレイン間抵抗のチャネル長依存性から求められ、またコンタクト抵抗はそこから外挿して求める。しかし二次元半導体チャネルデバイス是一般的に特性ばらつきが非常に大きく、統計的手段をとることが困難である。

我々は多数のデバイスを用いた統計的手段に頼ることなく、①個々のデバイスにおけるチャネル抵抗、コンタクト抵抗を抽出すること、②図 1(c)で示すようにチャネル電位測定を行うことの 2 点を実現するために図 2 に示すデバイスを作製した。はじめに低抵抗 p 型 Si(100) 基板上に厚さ 100nm の熱酸化 SiO₂ 膜を形成した。その上に、あらかじめサファイア基板上に CVD 成膜された単層の MoS₂ 膜を転写し、チャネル長・幅を規定するためのパターンニングを、CF₄ プラズマによるドライエッチングで行った。その後、試料全面に厚さ 20nm の Al₂O₃ 膜を ALD 成長させた。このときの基板温度は

30℃とし、MoS₂ へのダメージ低減を図った。さらにソース・ドレイン領域にコンタクトホールを開け (HF エッチング)、トップ電極を含めたすべての電極をリフトオフで形成した。裏面に真空蒸着法により Al を堆積し、バックゲート電極とした。

図 2(b)は作製したデバイスの光学顕微鏡写真の一例である。本報告書で示される結果はすべて、チャネル幅が 80μm、チャネル長が 840 μm のデバイスについてのものである。測定においてトップ電極は浮遊させ、容量性カップリングにより電極直下のチャネル電位を測定する。電位測定には高入力インピーダンス(10¹³Ω)を有するオペアンプを用いた。

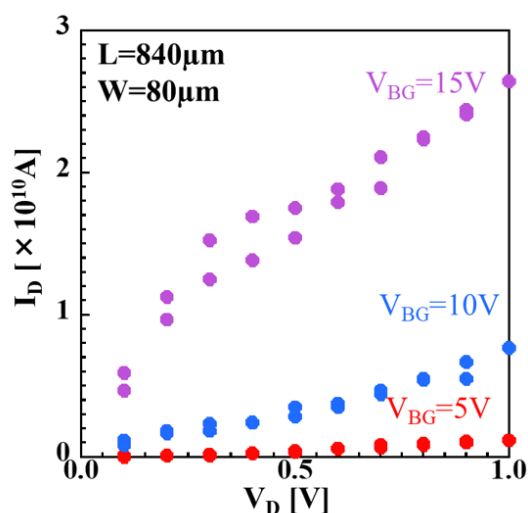


図 3 Id-Vd 特性

図 3 に示す Id-Vd 特性から作製したデバイスが FET 動作をすること、しきい値が 5V 程度であることを確認した。

次に、バックゲート電圧を 15V として FET を ON 状態にしたうえで、ドレイン電圧を 0V で固定、ソース電圧を 0→4V に変化させた後のチャネル電位分布を図 4 に示す。横軸はソース端からの、各トップ電極の中心位置の距離である。3 つのトップ電極で得られたチャネル電位は直線的な分布を示しており、この傾きとチャネル電流 1.33×10⁻¹⁰A から、チャネル抵抗がおおよそ 3.2GΩ/sq と求められた。これは一般的に報告されている値に比べて非常に大きく、キャリア伝導を阻害する多くの欠陥がチャネルに導入されたことが示唆される。また、直線をド

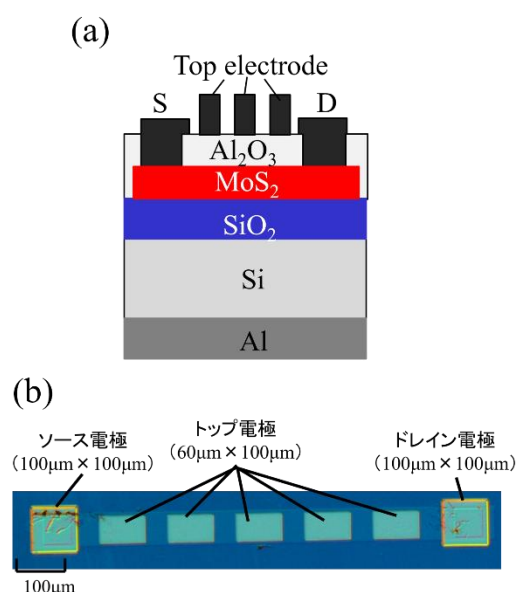


図 2 作製したデバイス構造の(a)断面図と(b)光学顕微鏡写真。

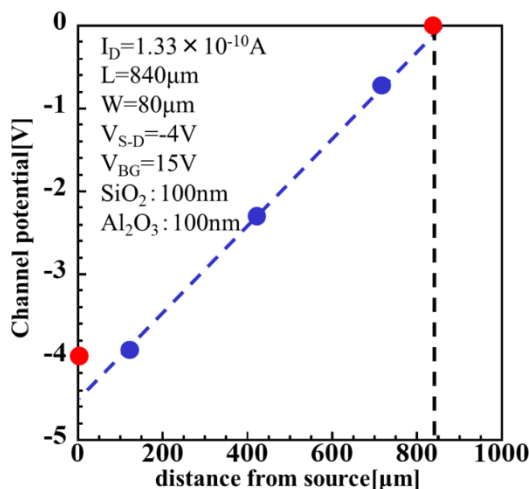


図4 チャネル電位分布

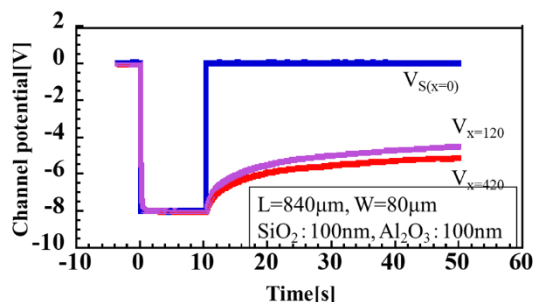


図5 充放電特性

レイン端に外挿して得られる電位からドレインコンタクト抵抗が $210\text{k}\Omega\cdot\text{cm}^2$ と求められた。この値も上述した、界面欠陥からの放出時定数を評価するには不十分である。一方、直線をソース端に外挿して得られる電位がソース電圧 -4V を超えており、このことはソース近傍でのチャネル内電位勾配が極めて小さいことを示唆しており、今後の解析が必要である。

次に、バックゲート電圧を 0V として FET を OFF 状態にし、ドレイン電極、トップ電極をすべて浮遊させたうえでソース電圧を $0 \rightarrow -8 \rightarrow 0\text{V}$ と変化するパルスを印加したときのチャネル電位の時間変化を図 5 に示す。時刻 $0 \sim 10\text{s}$ でのチャネル電位変化から、充電が速やか完了したことが確認できる。一方、時刻 10s 以降の放電時においては電位変化に大きな遅れが生じている。この遅れは先に求めたチャネル抵抗やコンタクト抵抗から予想される時定数にくらべて大幅に大きく、界面欠陥からの電子

放出過程が反映されているものと推察できる。ただし、電子が排出されるソース端近傍でのチャネル内の伝導帯ポテンシャル分布によっては排出を阻害するポテンシャル障壁が存在する可能性もあり、さらなる解析が必要である。

【 2 】 二次元結晶膜成長の位置選択性

ウェハースケールでの均一な二次元結晶膜の成膜が困難である現状においては、デバイスが形成される位置周辺での位置選択的結晶膜成長を目指すアプローチが有効である。今回、パターン形成した MoOx 膜および HfO_2 膜の、 MoS_2 結晶成長シードとしての可能性を調査した。まず Si 基板に形成した厚さ 100nm の熱酸化 SiO_2 膜上に、 MoS_2 膜を RF スパッタリングによって成膜した。ただし膜に S はほとんど取

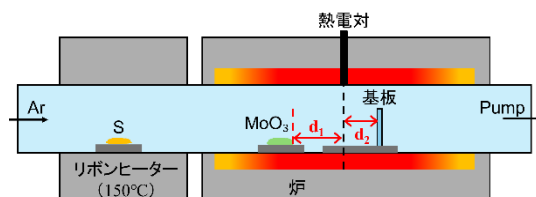


図6 CVD 炉

り込まれず、大気に取り出した後には MoOx 膜となることが確認された。また同じく HfO_2 膜を、原子的に平坦化された C 面サファイア基板上に成膜した。それぞれをリフトオフにより正方形パターンが周期的に並ぶ構造を作製した。 MoS_2 成膜は個体の S 、 MoO_3 をソースとした CVD 炉で行った (図 6)。炉は中央に設置した熱電対で温度制御を行い、温度を 800°C とした。 MoO_3 粉末を中心からの距離 d_1 の位置に設置した。距離 d_1 によって粉末温度を変化させることが可能である。また、基板を中心からの距離 d_2 の位置に設置し、同様に d_2 によって基板温度を変化させることができる。固体 S 粉末は上流に設置し、リボンヒーターで加熱する。温度は 150°C とした。

MoOx シード試料においては基板温度が高すぎるとシードパターンが昇華消滅し、低すぎると MoS_2 が成膜されないことがわかった。距離 d_1 、 d_2 がそれぞれ 5 、 4cm のとき、一部のシードは昇華したが、図 7 に示すように残留パタ

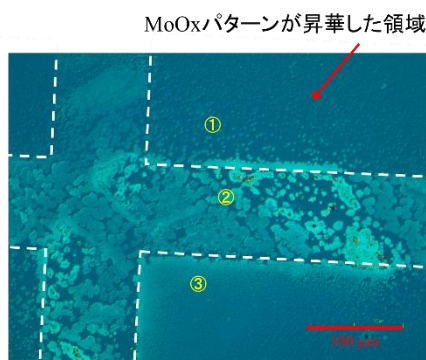


図7 MoOx パターン近傍の光学顕微鏡像

ーン近傍に吸着物が観察された。図中①～③で示された各領域でのラマン分光測定より、すべての領域で MoS_2 が成膜されたことを確認した。ただしいずれも2層以上の積層膜であった。また、期待された MoOx シードを核とした横方向成長が起こっている様子は観察されず、シードパターン近傍での選択的成長は、シードが Mo の供給源として働いたためであると推察される。

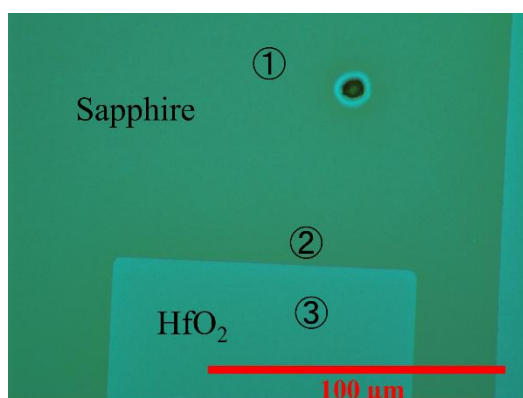


図8 HfO_2 パターン近傍の光学顕微鏡像

一方、 HfO_2 膜シード試料においてはパターンが昇華せず、すべての領域で残存した。なお、このときの距離 d_1 、 d_2 はそれぞれ7、0cmである。図8に示す、領域①（サファイア表面）および領域③（ HfO_2 表面）において同様にラマン分光測定から MoS_2 が成膜されたことが確認された。一方パターン近傍の、エッジより距離10 μm 程度の範囲（領域②）においては MoS_2 が成膜されなかった。これは HfO_2 膜表面がサファイア表面に比べてより安定な MoS_2 結晶核成長サイトであり、パターン近傍に吸着した

Mo が表面拡散によって HfO_2 膜表面に移動したことに起因する。距離 d_2 を1.5cmとし、基板温度をわずかに下げた場合ではサファイア表面で MoS_2 が成膜されず、 HfO_2 膜表面でのみ成膜されたことも確認した。原子的に平坦なサファイア表面は MoS_2 膜が比較的成長しやすいことが知られているが、この結果は HfO_2 膜が極めて高い選択性を有することを意味する。

【3】まとめ

新規の界面欠陥密度評価手法を提案し、チャネル上部絶縁膜、上部浮遊電極を用いてチャネル電位の時間変化を測定することができた。しかし今回作製したデバイスにおいては、界面欠陥起因の放電特性を詳細に解析するためにはチャネル抵抗、コンタクト抵抗を大幅に低減する必要があることも明らかとなった。ただし、本手法によりチャネル電位の面内分布を評価することが可能であることも示され、このことは MoS_2 膜の電氣的性質の均一性評価手法としてのポテンシャルを示したものと考えている。例えば、多結晶 MoS_2 膜における粒界が伝導に与える影響、キャリア分布の不均一性などを調べるツールとして極めて有効である。

MoOx パターンが Mo の供給源、 HfO_2 パターンが優先吸着サイトとしてそれぞれ働くことが明らかとなった。どちらも二次元結晶膜の位置選択成長の実現に優位な特性である。特に、あらかじめチャネル形状にパターンニングされた HfO_2 膜を用いることでデバイス作製におけるレジスト工程を減らすことが可能であり、二次元半導体へのダメージ、レジスト残渣等による欠陥形成が抑制されることが期待できる。今後は位置選択性の精度を高めるためのシード材料選択、周辺材料の組み合わせの最適化、結晶膜の単結晶化、チャネル抵抗、コンタクト抵抗の低減に注力し、今回提案した手法による界面欠陥密度の定量化を目指す。

<学会発表>

国内会議

1. 佐藤優、蓮沼 隆「エッチング溶液中 C-V 測定による SiO₂ 膜中固定電荷分布評価」第 31 回電子デバイス界面テクノロジー研究会、2026.1.29-30 (ポスター)